

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2003-084712

(43)Date of publication of application : 19.03.2003

(51)Int.Cl.

G09G 3/28
G09G 3/20

(21)Application number : 2002-179016

(71)Applicant : SAMSUNG SDI CO LTD

(22)Date of filing : 19.06.2002

(72)Inventor : KIM JOON-KOO
CHOI HAK-KI
LEE SEONG-CHARN
JUNG NAM-SUNG

(30)Priority

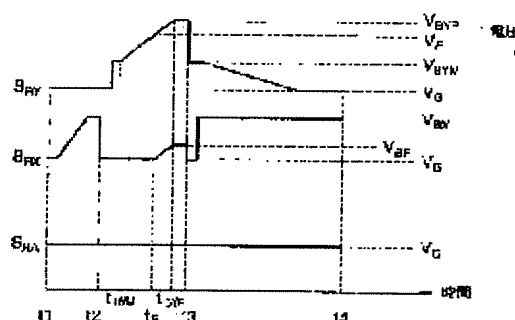
Priority number : 2001 200155805 Priority date : 11.09.2001 Priority country : KR

(54) RESETTING METHOD FOR PLASMA DISPLAY PANEL

(57)Abstract:

PROBLEM TO BE SOLVED: To increase the contrast of a plasma display panel and to sufficient form wall electric charges in a display cell selected by addressing.

SOLUTION: The resetting method for a plasma display panel includes three resetting steps. In a first resetting step t1 to t2, a voltage to be applied to a first display electrode line is gradually raised to a first voltage VBX. In a second resetting step t2 to t3, a voltage to be applied to a second display electrode line is gradually raised to a second voltage VBYP which is higher than the first voltage VBX and the voltage to be applied to the first display electrode line is gradually raised to a third voltage VBF which is lower than the first voltage VBX. In a third resetting step t3 to t4, the voltage to be applied to the first display electrode line is maintained at the first voltage VBX and the voltage to be applied to the second display electrode line is gradually lowered to a fourth voltage VG which is lower than the third voltage VBF.



LEGAL STATUS

[Date of request for examination] 07.07.2004

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2003-84712

(P2003-84712A)

(43)公開日 平成15年3月19日(2003.3.19)

(51)Int.Cl. ⁷	識別記号	F I	デマコード*(参考)
G 0 9 G 3/28	6 2 4	C 0 9 G 3/20	6 2 4 M 5 C 0 8 0
	6 4 1		6 4 1 E
	6 4 2	3/28	6 4 2 E
			E
			J
審査請求 未請求 請求項の数 5 O L (全 9 頁)			

(21)出願番号 特願2002-179016(P2002-179016)

(22)出願日 平成14年6月19日(2002.6.19)

(31)優先権主張番号 2 0 0 1 - 0 5 5 8 0 5

(32)優先日 平成13年9月11日(2001.9.11)

(33)優先権主張国 韓国 (K R)

(71)出願人 590002817

三星エスディアイ株式会社

大韓民国京畿道水原市八達區▲しん▼洞
575番地

(72)発明者 金 俊九

大韓民国京畿道城南市盆唐区九美洞211番
地 ムジゲマウル大林アパート109棟203号

(72)発明者 崔 学起

大韓民国ソウル特別市銅雀区舍堂 1 洞1025
-18番地

(74)代理人 100069431

弁理士 和田 成則

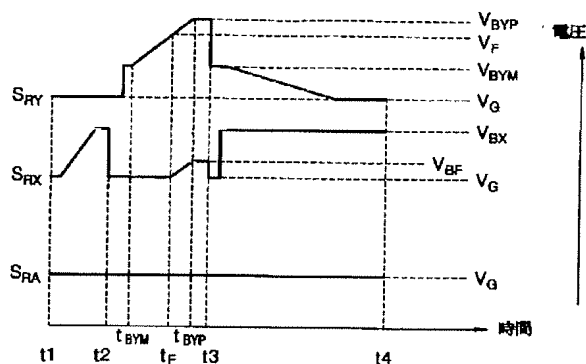
最終頁に続く

(54)【発明の名称】 プラズマディスプレイパネルのリセット方法

(57)【要約】

【課題】 プラズマ表示パネルのコントラストを高め、アドレッシングによって選択されたディスプレイセルで十分な壁電荷を形成する。

【解決手段】 このプラズマディスプレイパネルのリセット方法は3段階のリセット段階を含む。第1リセット段階も1〜も2では、第1ディスプレイ電極ラインに印加される電圧が第1電圧 V_{BX} まで持続的に上昇する。第2リセット段階も2〜も3では、第2ディスプレイ電極ラインに印加される電圧が第1電圧 V_{BX} より高い第2電圧 V_{BYP} まで持続的に上昇する一方、第1ディスプレイ電極ラインに印加される電圧が第1電圧 V_{BX} より低い第3電圧 V_{BF} まで持続的に上昇する。第3リセット段階も3〜も4では、第1ディスプレイ電極ラインに印加される電圧が第1電圧 V_{BX} に維持された状態で、第2ディスプレイ電極ラインに印加される電圧が第3電圧 V_{BF} より低い第4電圧 V_G まで持続的に下降する。



【特許請求の範囲】

【請求項1】 互いに対向離隔された前面基板と背面基板とを有し、前記基板間に第1および第2ディスプレイ電極ラインが互いに並んで形成され、アドレス電極ラインが前記第1および第2電極ラインに対して直交して形成されたプラズマディスプレイパネルのリセット方法において、

前記第1ディスプレイ電極ラインに印加される電圧を第1電圧まで持続的に上昇させる第1リセット段階と、

前記第2ディスプレイ電極ラインに印加される電圧を前記第1電圧より高い第2電圧まで持続的に上昇させる一方、前記第1ディスプレイ電極ラインに印加される電圧を前記第1電圧より低い第3電圧まで持続的に上昇させる第2リセット段階と、

前記第1ディスプレイ電極ラインに印加される電圧を前記第1電圧で維持させた状態で前記第2ディスプレイ電極ラインに印加される電圧を前記第3電圧より低い第4電圧まで持続的に下降させる第3リセット段階とを含むことを特徴とするプラズマディスプレイパネルのリセット方法。

【請求項2】 前記第2リセット段階で、

前記第1ディスプレイ電極ラインが電氣的にフローティング状態になることによって、前記第1リセット段階で前記第1ディスプレイ電極ライン周囲に形成された第1極性の壁電荷の作用によって前記第1ディスプレイ電極ラインに印加される電圧が前記第3電圧まで持続的に上昇することを特徴とする請求項1記載のプラズマディスプレイパネルのリセット方法。

【請求項3】 前記第2リセット段階で、

前記第2ディスプレイ電極ラインに印加される電圧を前記第1電圧より高い第2電圧まで持続的に上昇させるための傾度が、各サブフィールドで総放電セルの個数に対する表示される放電セルの比率に反比例するように変わること特徴とする請求項1記載のプラズマディスプレイパネルのリセット方法。

【請求項4】 前記第2リセット段階で、

前記第1ディスプレイ電極ラインが電氣的にフローティング状態になることによって、前記第1リセット段階で前記第1ディスプレイ電極ライン周囲に形成された第1極性の壁電荷の作用によって前記第1ディスプレイ電極ラインに印加される電圧が前記第3電圧まで持続的に上昇することを特徴とする請求項3記載のプラズマディスプレイパネルのリセット方法。

【請求項5】 前記第2リセット段階で、

前記第2ディスプレイ電極ラインに印加される電圧が所定の電圧に到達する時点で前記第1ディスプレイ電極ラインが電氣的にフローティング状態になることによって、前記第1ディスプレイ電極ラインに印加される電圧を前記第3電圧まで持続的に上昇させるための傾度が、前記第2ディスプレイ電極ラインに印加される電圧を前

記第1電圧より高い第2電圧まで持続的に上昇させるための傾度と同じく変わること特徴とする請求項4記載のプラズマディスプレイパネルのリセット方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、プラズマディスプレイパネルのリセット方法に係り、より詳細には、3電極面放電構造のプラズマディスプレイパネルの最小駆動周期の単位サブフィールドで最初に実施され、あらゆるディスプレイセル電荷の分布が均一になり、次の段階で実施されるアドレッシングに適合にするリセット方法に関する。

【0002】

【従来の技術】図6は、通常の3電極面放電方式のプラズマディスプレイパネルの構造を示す図面である。図7は、図6のパネルの一ディスプレイセルの例を示す図面である。図6および図7を参照すれば、通常の面放電プラズマディスプレイパネル1の前面および背面ガラス基板10、13の間には、アドレス電極ライン A_1 、 A_2 、…、 A_{m-1} 、 A_m 、誘電体層11、15、Y電極ライン Y_1 、…、 Y_n 、X電極ライン X_1 、…、 X_n 、蛍光体16、隔壁17および保護層としてのMgO層12が設けられている。

【0003】アドレス電極ライン A_1 、 A_2 、…、 A_{m-1} 、 A_m は背面ガラス基板13の前方に一定のパターンで形成される。後方の誘電体層15はアドレス電極ライン A_1 、…、 A_m が形成されている背面ガラス基板13の前面に塗布される。後方の向誘電体層15の前面には隔壁17がアドレス電極ライン A_1 、…、 A_m と平行した方向に形成される。この隔壁17は、各ディスプレイセルの放電領域を区画し、隣のディスプレイセル間の光学的干渉を防止する機能をする。蛍光体16は隔壁17の間に塗布される。

【0004】X電極ライン X_1 、…、 X_n とY電極ライン Y_1 、…、 Y_n とはアドレス電極ライン A_1 、…、 A_m と直交するように前面ガラス基板10の背面に一定のパターンで形成される。各交差点は相応するディスプレイセルを設定する。各X電極ライン X_1 、…、 X_n と各Y電極ライン Y_1 、…、 Y_n とは、ITO (Indium Tin Oxide) のような透明な導電性材質の透明電極ライン (図7の X_{na} 、 Y_{na}) と伝導度を高めるための金属電極ライン (図7の X_{nb} 、 Y_{nb}) とが結合形成される。前方の誘電体層11はX電極ライン X_1 、…、 X_n とY電極ライン Y_1 、…、 Y_n とが形成されている前面ガラス基板10の背面に塗布される。強い電界からパネル1を保護するための保護層12、例えば、MgO層は前方の誘電体層11の背面に形成される。放電空間14にはプラズマ形成用ガスが密封される。

【0005】図8は、図6のプラズマディスプレイパネ

ル1の通常の駆動装置を示す図面である。図8を参照すれば、プラズマディスプレイパネル1の通常の駆動装置は映像処理部66、論理制御部62、アドレス駆動部63、X駆動部64およびY駆動部65を含む。映像処理部66は外部アナログ映像信号をデジタル信号に変換して内部映像信号、例えば、各々8ビットの赤色(R)、緑色(G)および青色(B)の映像データ、クロック信号、垂直および水平同期信号を生じる。論理制御部62は映像処理部66からの内部映像信号によって駆動制御信号 S_A 、 S_Y 、 S_X を生じる。アドレス駆動部63は、制御部62からの駆動制御信号 S_A 、 S_Y 、 S_X のうちアドレス信号 S_A を処理してディスプレイデータ信号を生じ、発生したディスプレイデータ信号をアドレス電極ライン A_1 、 \dots 、 A_m に印加する。X駆動部64は制御部62からの駆動制御信号 S_A 、 S_Y 、 S_X のうちX駆動制御信号 S_X を処理してX電極ライン X_1 、 \dots 、 X_n に印加する。Y駆動部65は制御部62からの駆動制御信号 S_A 、 S_Y 、 S_X のうちY駆動制御信号 S_Y を処理してY電極ライン Y_1 、 \dots 、 Y_n に印加する。

【0006】図9は、図6のプラズマディスプレイパネルのY電極ラインに対する通常のアドレスディスプレイ分離駆動方式を示す。図9を参照すれば、単位フレームは時分割階調ディスプレイを実現するために8つのサブフィールドSF1、 \dots 、SF8に分割される。また、各サブフィールドSF1、 \dots 、SF8はアドレス周期 A_1 、 \dots 、 A_8 と維持放電周期 S_1 、 \dots 、 S_8 とに分割される。

【0007】各アドレス周期 A_1 、 \dots 、 A_8 では、アドレス電極ライン(図6の A_1 、 \dots 、 A_m)にディスプレイデータ信号が印加されると同時に各Y電極ライン(図6の Y_1 、 \dots 、 Y_n)に相応する走査パルスが順次に印加される。これにより走査パルスが印加される間に高いレベルのディスプレイデータ信号が印加されれば選択された放電セルでアドレス放電によって壁電荷が形成される。そうでない放電セルでは壁電荷が形成されない。

【0008】各維持放電周期 S_1 、 \dots 、 S_8 では、あらゆるY電極ライン Y_1 、 \dots 、 Y_n とあらゆるX電極ライン(図6の X_1 、 \dots 、 X_n)とに維持放電用パルスが交互に印加されて、相応するアドレス周期 A_1 、 \dots 、 A_8 で壁電荷が形成された放電セルで表示放電を起こす。したがって、プラズマディスプレイパネルの輝度は単位フレームで占める維持放電周期 S_1 、 \dots 、 S_8 の長さに比例する。単位フレームで占める維持放電周期 S_1 、 \dots 、 S_8 の長さは255T(Tは単位時間)である。したがって、単位フレームで一度も表示されない場合を含んで256階調が表示される。

【0009】ここで、第1サブフィールドSF1の維持放電周期 S_1 には 2^0 に相応する時間1Tが、第2サブフィールドSF2の維持放電周期 S_2 には 2^1 に相応する時間2Tが、第3サブフィールドSF3の維持放電周

期 S_3 には 2^2 に相応する時間4Tが、第4サブフィールドSF4の維持放電周期 S_4 には 2^3 に相応する時間8Tが、第5サブフィールドSF5の維持放電周期 S_5 には 2^4 に相応する時間16Tが、第6サブフィールドSF6の維持放電周期 S_6 には 2^5 に相応する時間32Tが、第7サブフィールドSF7の維持放電周期 S_7 には 2^6 に相応する時間64Tが、そして第8サブフィールドSF8の維持放電周期 S_8 には 2^7 に相応する時間128Tが各々設定される。

【0010】これにより、8つのサブフィールドのうち表示されるサブフィールドを適切に選択すれば、いずれのサブフィールドでも表示されない0(ゼロ)階調を含んで総256階調の表示が行われることが分かる。

【0011】前記のようなプラズマディスプレイパネルの駆動方式において、各アドレス周期 A_1 、 \dots 、 A_8 では、あらゆるディスプレイセルの電荷の分布が均一になると同時に次の段階で実施されるアドレッシングに適合になるようにリセットが実施される。

【0012】図10は、従来のリセット方法によってプラズマディスプレイパネルの電極ラインに印加される信号の波形を示すものである。図11は、図10のt3時点でのいずれか一つのディスプレイセルの壁電荷分布を示すものである。図12は、図10のt4時点でのいずれか一つのディスプレイセルの壁電荷分布を示すものである。図13は、図10の駆動信号に相応してプラズマディスプレイパネルから発生する光の照度 S_L を示すものである。

【0013】図10に示した従来のリセット方法は、特開2000-214823号公報、および特開2000-242224号公報に開示されている。図10で、符号 S_{RY} はあらゆるY電極ライン(図6の Y_1 、 \dots 、 Y_n)に印加される駆動信号を、 S_{RX} はあらゆるX電極ライン(図6の X_1 、 \dots 、 X_n)に印加される駆動信号を、そして S_{RA} はあらゆるアドレス電極ライン(図6の A_1 、 \dots 、 A_m)に印加される駆動信号を示す。

【0014】図10乃至図13を参照すれば、第1リセット段階t1～t2では、第1ディスプレイ電極ラインとしてのX電極ライン X_1 、 \dots 、 X_n に印加される電圧を第4電圧としての接地電圧 V_G から第1電圧 V_{BX} 、例えば、190Vまで持続的に上昇させる。ここで、第2ディスプレイ電極ラインとしてのY電極ライン Y_1 、 \dots 、 Y_n とアドレス電極ライン A_1 、 \dots 、 A_m とは接地電圧 V_G が印加される。これにより、X電極ライン X_1 、 \dots 、 X_n とY電極ライン Y_1 、 \dots 、 Y_n の間、およびX電極ライン X_1 、 \dots 、 X_n とアドレス電極ライン A_1 、 \dots 、 A_m との間に弱い放電が起きつつX電極ライン X_1 、 \dots 、 X_n の周囲に第2極性、すなわち、負極性の壁電荷が形成される。

【0015】第2リセット段階t2～t3では、Y電極ライン Y_1 、 \dots 、 Y_n に印加される電圧が第1電圧 V

V_{BX} よりやや低い第5電圧 V_{BYM} 、例えば、180V から第1電圧 V_{BX} よりはるかに高い第2電圧 V_{BYP} 、例えば、400Vまで持続的に上昇する。ここで、X電極ライン X_1, \dots, X_n とアドレス電極ライン A_1, \dots, A_m とには接地電圧 V_G が印加される。これにより、Y電極ライン Y_1, \dots, Y_n とX電極ライン X_1, \dots, X_n との間に弱い放電が起きる一方、Y電極ライン Y_1, \dots, Y_n とアドレス電極ライン A_1, \dots, A_m との間にさらに弱い放電が起きる。ここで、Y電極ライン Y_1, \dots, Y_n とアドレス電極ライン A_1, \dots, A_m との放電よりY電極ライン Y_1, \dots, Y_n とX電極ライン X_1, \dots, X_n との放電がより強くなる理由は、第1リセット段階 $t_1 \sim t_2$ の遂行によってX電極ライン X_1, \dots, X_n の周囲に負極性の壁電荷が形成されているからである。これにより、Y電極ライン Y_1, \dots, Y_n の周囲には負極性壁電荷が多く形成され、X電極ライン X_1, \dots, X_n の周囲には第1極性、すなわち、正極性の壁電荷が形成され、アドレス電極ライン A_1, \dots, A_m の周囲には正極性の壁電荷が少なく形成される(図11参照)。

【0016】第3リセット段階 $t_3 \sim t_4$ では、X電極ライン X_1, \dots, X_n に印加される電圧が第1電圧 V_{BX} に維持された状態で、Y電極ライン Y_1, \dots, Y_n に印加される電圧が第5電圧 V_{BYM} から接地電圧 V_G まで持続的に下降する。ここで、アドレス電極ライン A_1, \dots, A_m には接地電圧 V_G が印加される。これにより、X電極ライン X_1, \dots, X_n とY電極ライン Y_1, \dots, Y_n との弱い放電によって、Y電極ライン Y_1, \dots, Y_n の周囲の負極性の壁電荷の一部がX電極ライン X_1, \dots, X_n の周囲に移動する(図12参照)。ここで、アドレス電極ライン A_1, \dots, A_m には接地電圧 V_G が印加されるので、アドレス電極ライン A_1, \dots, A_m の周囲の正極性の壁電荷の個数が若干増加する。

【0017】これにより、次のアドレッシング段階で、選択されたアドレス電極ライン A_1, \dots, A_m に正極性のディスプレイデータ信号が印加され、Y電極ライン Y_1, \dots, Y_n に負極性の走査信号が順次に印加されるにつれて、円滑なアドレッシングが行われる。

【0018】しかし、前記のような従来のリセット方法によれば、第1リセット段階 $t_1 \sim t_2$ の遂行によってX電極ライン X_1, \dots, X_n の周囲に負極性の壁電荷が形成されているにもかかわらず、第2リセット段階 $t_2 \sim t_3$ でX電極ライン X_1, \dots, X_n とアドレス電極ライン A_1, \dots, A_m とに同じ接地電圧 V_G が印加される。これにより、次のような問題点が発生する。

【0019】第一に、第2リセット段階 $t_2 \sim t_3$ で、Y電極ライン Y_1, \dots, Y_n とX電極ライン X_1, \dots, X_n との間に不要に強い放電が起きて、プラズマ表示パネルのコントラストを低下させる。これにより、X電極ライン X_1, \dots, X_n の周囲に不要に多くの正極性の電

荷が形成されるので、第3リセット段階 $t_3 \sim t_4$ でもY電極ライン Y_1, \dots, Y_n とX電極ライン X_1, \dots, X_n との間に不要に強い放電が起きて、プラズマ表示パネルのコントラストをさらに低下させる(図13参照)。

【0020】第二に、第2リセット段階 $t_2 \sim t_3$ で、Y電極ライン Y_1, \dots, Y_n とアドレス電極ライン A_1, \dots, A_m との間の放電が相対的に弱まって、アドレス電極ライン A_1, \dots, A_m の周囲に形成される正極性の壁電荷が足りない(図11参照)。これによりアドレス電極ライン A_1, \dots, A_m の周囲に最終的に形成される正極性の壁電荷も足りないため(図12参照)、後続のアドレッシングによって選択されたディスプレイセルで十分な壁電荷が形成されない。

【0021】

【発明が解決しようとする課題】本発明は、前記のような問題点を鑑みてなされたものであり、その目的とするところは、プラズマ表示パネルのコントラストを高め、アドレッシングによって選択されたディスプレイセルで十分な壁電荷を形成することができるプラズマディスプレイパネルのリセット方法を提供することにある。

【0022】

【課題を解決するための手段】前記目的を達成するために、本発明は、互いに対向離隔された前面基板と背面基板とを有し、前記基板間に第1および第2ディスプレイ電極ラインが互いに並んで形成され、アドレス電極ラインが前記第1および第2電極ラインに対して直交して形成されたプラズマディスプレイパネルのリセット方法として、3段階のリセット段階を含む。

【0023】前記第1リセット段階では、前記第1ディスプレイ電極ラインに印加される電圧が第1電圧まで持続的に上昇する。

【0024】前記第2リセット段階では、前記第2ディスプレイ電極ラインに印加される電圧が前記第1電圧より高い第2電圧まで持続的に上昇する一方、前記第1ディスプレイ電極ラインに印加される電圧が前記第1電圧より低い第3電圧まで持続的に上昇する。

【0025】前記第3リセット段階では、前記第1ディスプレイ電極ラインに印加される電圧が前記第1電圧で維持された状態で前記第2ディスプレイ電極ラインに印加される電圧が前記第3電圧より低い第4電圧まで持続的に下降する。

【0026】本発明に係るプラズマディスプレイパネルのリセット方法によれば、前記第2リセット段階で、前記第1ディスプレイ電極ラインに印加される電圧が前記第1電圧より低い第3電圧まで持続的に上昇する。これにより、次のような効果を得られる。

【0027】第一に、前記第2リセット段階で、前記第1および第2ディスプレイ電極ラインの間に不要に強い放電が起きないため、前記プラズマ表示パネルのコント

ラストが低下しない。また、前記第1ディスプレイ電極ラインの周囲に不要に多くの第1極性の電荷が形成されず、前記第3リセット段階でも前記第1および第2ディスプレイ電極ラインの間に不要に強い放電が起きないため、プラズマ表示パネルのコントラストが向上する。

【0028】第二に、前記第2リセット段階で、前記第2ディスプレイ電極ラインと前記アドレス電極ラインとの放電が相対的に強化して、前記アドレス電極ラインの周囲に形成される前記第1極性の壁電荷が十分である。これにより前記アドレス電極ラインの周囲に最終的に形成される正極性の電荷も十分であるため、次のアドレッシングによって選択されたディスプレイセルで十分な壁電荷が形成される。

【0029】望ましくは、前記第2リセット段階で、前記第1ディスプレイ電極ラインが電氣的にフローティング状態になることによって、前記第1リセット段階で前記第1ディスプレイ電極ラインの周囲に形成された第1極性の壁電荷の作用によって前記第1ディスプレイ電極ラインに印加される電圧が前記第3電圧まで持続的に上昇する。これにより、前記第2リセット段階で消費される駆動電力を節減できる。

【0030】

【発明の実施の形態】以下、添付した図面を参照して本発明の好適な実施例について詳細に説明する。

【0031】図1で、符号 S_{RY} はあらゆるY電極ライン（図6の Y_1 、…、 Y_n ）に印加される駆動信号を、 S_{RX} はあらゆるX電極ライン（図6の X_1 、…、 X_n ）に印加される駆動信号を、そして S_{RA} はあらゆるアドレス電極ライン（図6の A_1 、…、 A_m ）に印加される駆動信号を示す。

【0032】図1乃至図5を参照すれば、第1リセット段階 $t_1 \sim t_2$ では、第1ディスプレイ電極ラインとしてのX電極ライン X_1 、…、 X_n に印加される電圧を第4電圧としての接地電圧 V_G から第1電圧 V_{BX} 、例えば、190Vまで持続的に上昇させる。ここで、第2ディスプレイ電極ラインとしてのY電極ライン Y_1 、…、 Y_n とアドレス電極ライン A_1 、…、 A_m とは接地電圧 V_G が印加される。これにより、X電極ライン X_1 、…、 X_n とY電極ライン Y_1 、…、 Y_n との間、およびX電極ライン X_1 、…、 X_n とアドレス電極ライン A_1 、…、 A_m との間に弱い放電が起きつつX電極ライン X_1 、…、 X_n の周囲に第2極性、すなわち、負極性の壁電荷が形成される。

【0033】第2リセット段階 $t_2 \sim t_3$ では、Y電極ライン Y_1 、…、 Y_n に印加される電圧が第1電圧 V_{BX} よりやや低い第5電圧 V_{BYM} 、例えば、180Vから第1電圧 V_{BX} よりはるかに高い第2電圧 V_{BYP} 、例えば、400Vまで持続的に上昇する。ここで、Y電極ライン Y_1 、…、 Y_n に印加される電圧を第2電圧 V_{BYP} まで持続的に上昇させるための傾度

が、各サブフィールドで総放電セルの個数に対する表示される放電セルの比率に反比例するように変わる。すなわち、上昇の終了時点 t_{BYP} が各サブフィールドで総放電セルの個数に対する表示される放電セルの比率に反比例して速くなる。なぜなら、プラズマディスプレイパネルの総キャパシタンスを C （ここで C は総放電セルの個数に対する表示される放電セルの比率に比例する）、そして総電流量を i とすれば、このキャパシタンス C に印加される電圧 V は下の数式1によって設定されることが望ましいからである。

【0034】

【数1】

$$V = \frac{1}{C} \int_0^t i \cdot dt$$

【0035】一方、第2リセット段階 $t_2 \sim t_3$ 内のいずれか一時点 t_F から第2リセット段階 $t_2 \sim t_3$ の終了時点 t_3 までの時間 $t_F \sim t_3$ には、X電極ライン X_1 、…、 X_n に印加される電圧が第5電圧 V_{BYM} より低い第3電圧 V_{BF} まで持続的に上昇する。

【0036】このような上昇電圧はX駆動部（図8の64）から直接供給されうる。また、X駆動部64の出力がいずれも電氣的にフローティング状態、すなわち、高いインピダンス状態になれば、同じ効果を得られる。すなわち、X駆動部64のあらゆる出力端等の上部および下部トランジスタをターンオフさせることによって、第1リセット段階 $t_1 \sim t_2$ でX電極ライン X_1 、…、 X_n の周囲に形成された正極性の壁電荷の作用によってX電極ライン X_1 、…、 X_n に印加される電圧が第3電圧 V_{BF} まで持続的に上昇する。これにより、第2リセット段階 $t_2 \sim t_3$ で消費される駆動電力を節減できる。あらゆるアドレス電極ライン A_1 、…、 A_m には接地電圧 V_G が印加される。ここで、第3電圧 V_{BF} は下の数式2によって決定される。

【0037】

【数2】

$$V_{BF} = V_{BYP} - V_F$$

【0038】数式2で、 V_F はフローティングの開始時点でY電極ライン Y_1 、…、 Y_n に印加される電圧を示す。

【0039】ここで、電氣的フローティングによってX電極ライン X_1 、…、 X_n に印加される電圧が第3電圧 V_{BF} まで持続的に上昇するためには、フローティングの開始時点 t_F がY電極ライン Y_1 、…、 Y_n に印加される電圧の上昇時間 $t_{BYM} \sim t_{BYP}$ 内でなければならない。ここで、前記のように、Y電極ライン Y_1 、…、 Y_n に印加される電圧が第2電圧 V_{BYP} に到達する時点、すなわち、上昇の終了時点 t_{BYP} が各サブフィールドで総放電セルの個数に対する表示される放電セ

ルの比率に反比例して速くなる。したがって、フローティングの開始時点 t_F も、各サブフィールドで総放電セルの個数に対する表示される放電セルの比率に反比例して速くならなければならない。このために、Y電極ライン Y_1 、…、 Y_n に印加される電圧が一定の設定電圧 V_F に到達する時点でフローティングの開始時点 t_F を設定させる必要がある。ここで、X電極ライン X_1 、…、 X_n に印加される電圧を第3電圧 $V_{B F}$ まで持続的に上昇させるための傾度が、Y電極ライン Y_1 、…、 Y_n に印加される電圧を第2電圧 $V_{B Y F}$ まで持続的に上昇させるための傾度と等しくなる。

【0040】前記のような駆動条件の第2リセット段階 $t_2 \sim t_3$ では、Y電極ライン Y_1 、…、 Y_n とアドレス電極ライン A_1 、…、 A_m との間に相対的に弱い放電が起きる一方、Y電極ライン Y_1 、…、 Y_n とアドレス電極ライン A_1 、…、 A_m との間に相対的に強い放電が起きる。これにより、Y電極ライン Y_1 、…、 Y_n の周囲には負極性壁電荷が多く形成され、X電極ライン X_1 、…、 X_n の周囲には第1極性、すなわち、正極性の壁電荷が相対的に少なく形成され、アドレス電極ライン A_1 、…、 A_m の周囲には正極性の壁電荷が相対的に多く形成される(図2参照)。

【0041】第3リセット段階 $t_3 \sim t_4$ では、X電極ライン X_1 、…、 X_n に印加される電圧が第1電圧 $V_{B X}$ に維持された状態で、Y電極ライン Y_1 、…、 Y_n に印加される電圧が第5電圧 $V_{B Y M}$ から接地電圧 V_G まで持続的に下降する。ここで、アドレス電極ライン A_1 、…、 A_m には接地電圧 V_G が印加される。これにより、X電極ライン X_1 、…、 X_n とY電極ライン Y_1 、…、 Y_n との間の相対的に弱い放電によって、Y電極ライン Y_1 、…、 Y_n の周囲の負極性の壁電荷の一部がX電極ライン X_1 、…、 X_n の周囲に移動する(図3参照)。ここで、アドレス電極ライン A_1 、…、 A_m には接地電圧 V_G が印加されるので、アドレス電極ライン A_1 、…、 A_m の周囲の正極性の壁電荷が若干増加する。

【0042】これにより、次のアドレッシング段階で、選択されたアドレス電極ライン A_1 、…、 A_m に正極性のディスプレイデータ信号が印加され、Y電極ライン Y_1 、…、 Y_n に負極性の走査信号が順次に印加されるにつれて、円滑なアドレッシングが行われる。

【0043】前記のような本発明のリセット方法によれば、第2リセット段階 $t_2 \sim t_3$ 内の後半部 $t_F \sim t_3$ でX電極ライン X_1 、…、 X_n に上昇電圧が印加されるにつれて、次のような効果を得られる。

【0044】第一に、第2リセット段階 $t_2 \sim t_3$ で、Y電極ライン Y_1 、…、 Y_n とX電極ライン X_1 、…、 X_n との間に不要に強い放電が起きないために、プラズマ表示パネルのコントラストを上昇させることができる。これにより、X電極ライン X_1 、…、 X_n の周囲に不要に多くの正極性の電荷が形成されないために、第3リセ

ット段階 $t_3 \sim t_4$ でもY電極ライン Y_1 、…、 Y_n とX電極ライン X_1 、…、 X_n との間に不要に強い放電が起きず、プラズマ表示パネルのコントラストをさらに向上させることができる(図4および図5参照)。図4で、上方の曲線は第1電圧 $V_{B X}$ が相対的に高い場合に該当し、下方の曲線は第1電圧 $V_{B X}$ が相対的に低いケースに該当する。

【0045】第二に、第2リセット段階 $t_2 \sim t_3$ で、Y電極ライン Y_1 、…、 Y_n とアドレス電極ライン A_1 、…、 A_m との放電が相対的に強化されて、アドレス電極ライン A_1 、…、 A_m の周囲に形成される正極性の壁電荷が十分に形成される(図2参照)。これによりアドレス電極ライン A_1 、…、 A_m の周囲に最終的に形成される正極性の壁電荷も十分であるために(図3参照)、後続のアドレッシングによって選択されたディスプレイセルで十分な壁電荷が形成される。

【0046】一方、前記のように、第2リセット段階 $t_2 \sim t_3$ でY電極ライン Y_1 、…、 Y_n およびX電極ライン X_1 、…、 X_n に印加される電圧を持続的に上昇させるための傾度が、各サブフィールドで総放電セルの個数に対する表示される放電セルの比率に反比例するように変わる。これにより、リセットの速度および効率性がさらに高まる。

【0047】なお、本発明は、前記実施例に限定されず、特許請求の範囲で定義された発明の思想および範囲内で当業者によって変形および改良できる。

【0048】

【発明の効果】以上、詳細に説明したように、本発明に係るプラズマディスプレイパネルのリセット方法によれば、プラズマ表示パネルのコントラストを高め、アドレッシングによって選択されたディスプレイセルで十分な壁電荷を形成させることができる。

【図面の簡単な説明】

【図1】本発明の一実施例のリセット方法によってプラズマディスプレイパネルの電極ラインに印加される信号の波形図である。

【図2】図1の t_3 時点でのいずれか一つのディスプレイセルの壁電荷分布を示す断面図である。

【図3】図1の t_4 時点でのいずれか一つのディスプレイセルの壁電荷分布を示す断面図である。

【図4】図1の $t_F \sim t_3$ 時間に対しプラズマディスプレイパネルから発生する光の照度を示すグラフである。

【図5】図1の駆動信号に相応してプラズマディスプレイパネルから発生する光の照度を示すグラフである。

【図6】通常の3-電極面放電方式のプラズマディスプレイパネルの構造を示す内部斜視図である。

【図7】図6のパネルの一ディスプレイセルの例を示す断面図である。

【図8】図6のプラズマディスプレイパネルの通常の駆動装置を示すブロック図である。

【図9】図6のプラズマディスプレイパネルのY電極ラインに対する通常のアドレスーディスプレイ分離駆動方式を示すタイミング図である。

【図10】従来のリセット方法によってプラズマディスプレイパネルの電極ラインに印加される信号の波形図である。

【図11】図10の t_3 時点でのいずれか一つのディスプレイセルの壁電荷分布を示す断面図である。

【図12】図10の t_4 時点でのいずれか一つのディスプレイセルの壁電荷分布を示す断面図である。

【図13】図10の駆動信号に相応してプラズマディスプレイパネルから発生する光の照度を示すグラフである。

【符号の説明】

$t_1 \sim t_2$ 第1リセット段階

$t_2 \sim t_3$ 第2リセット段階

$t_3 \sim t_4$ 第3リセット段階

V_{BX} 第1電圧

V_{BYP} 第2電圧

V_{BF} 第3電圧

V_G 第4電圧（接地電圧）

V_{BYM} 第5電圧

V_F 設定電圧

X_1, \dots, X_n X電極ライン

Y_1, \dots, Y_n Y電極ライン

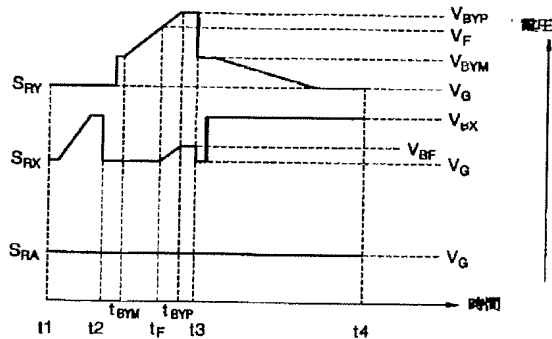
A_1, \dots, A_m アドレス電極ライン

S_{RY} Y電極ラインに印加される駆動信号

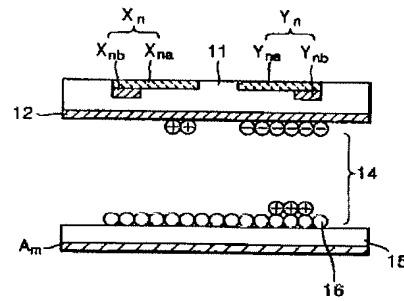
S_{RX} X電極ラインに印加される駆動信号

S_{RA} アドレス電極ラインに印加される駆動信号

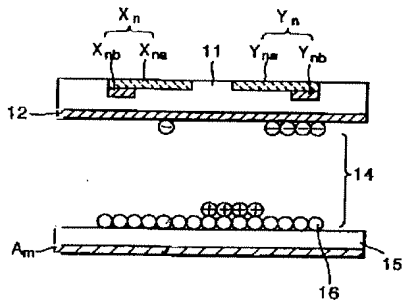
【図1】



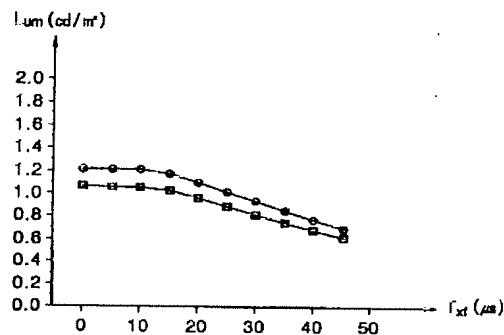
【図2】



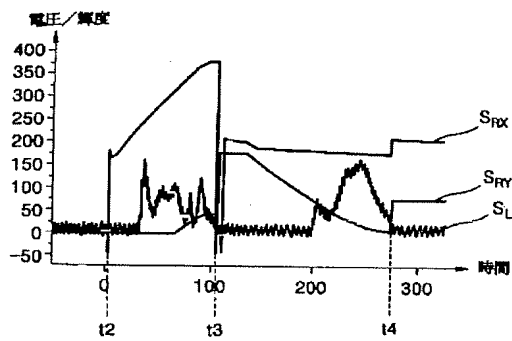
【図3】



【図4】



【図5】

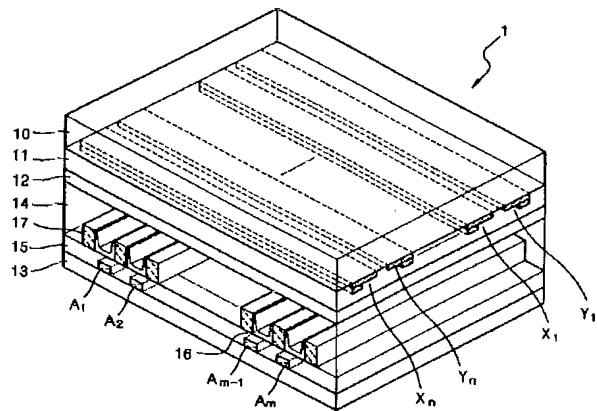


【图7】

(従来の技術)

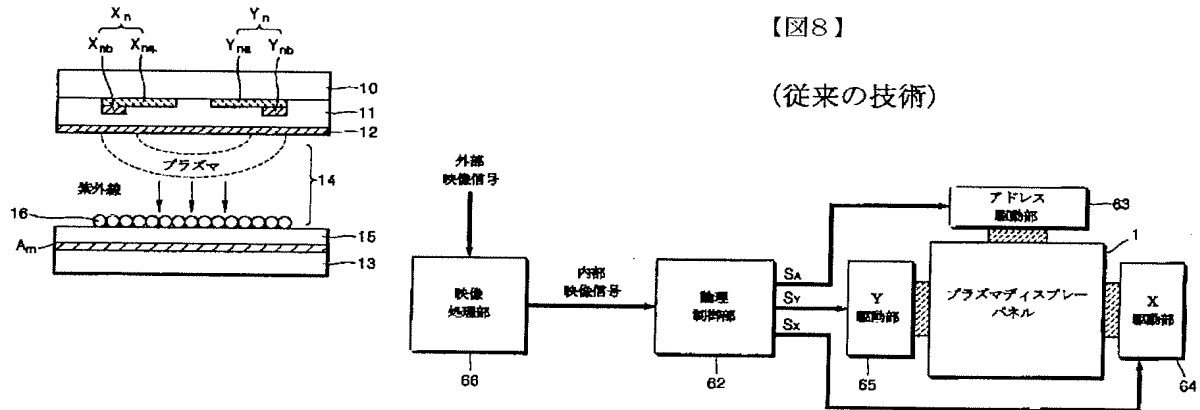
【図6】

(従来の技術)



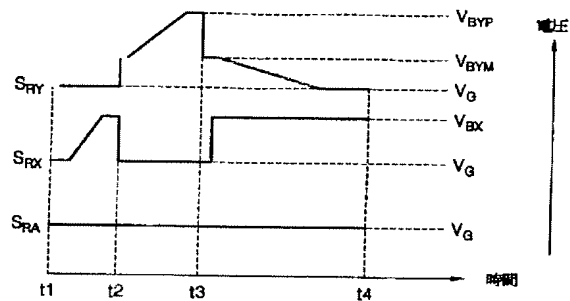
【図8】

(従来 of 技術)



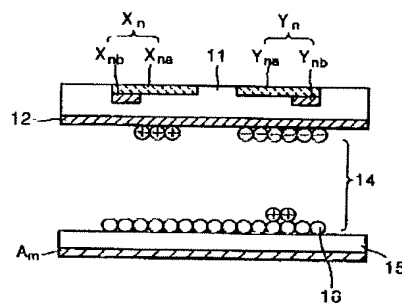
【図 10】

(従来技術)



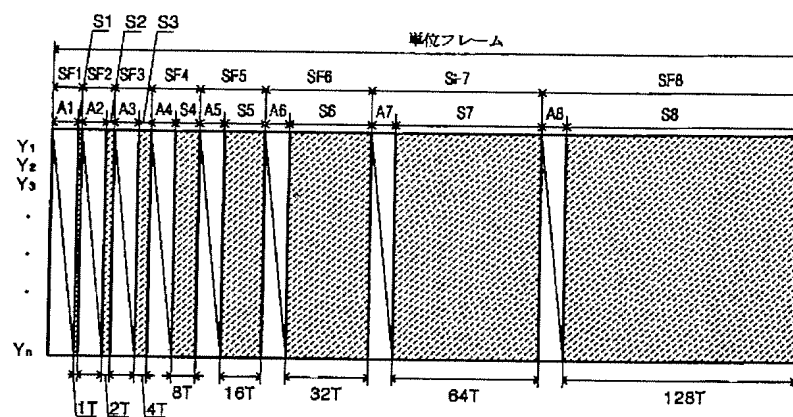
【図 1 1】

(従来技術)



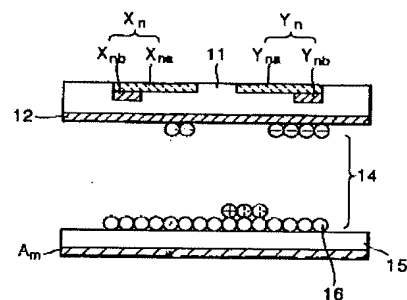
【图9】

(従来の技術)



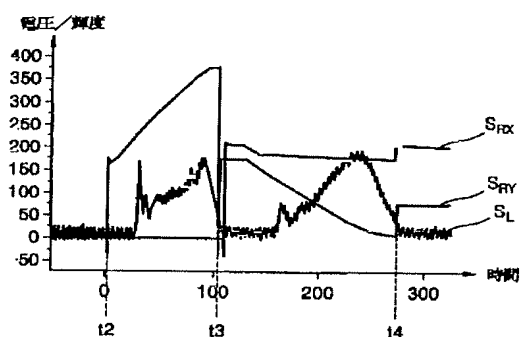
【图 12】

(従来技術)



【图 13】

(従来技術)



フロントページの続き

(72)發明者 李 性燦

大韓民国ソウル特別市瑞草区良才1洞7-
20番地 三龍ビル301号

(72)發明者 丁 南聲

大韓民国京畿道龍仁市駒城邑宝亭里1161番
地 鎮山マウル三星5次アパート502棟204
号

Fターム(参考) 5C080 AA05 BB05 CC03 DD01 DD09
EE19 EE29 FF12 HH04 HH06
JJ02 JJ04 JJ06